

BAB I PENDAHULUAN

1.1 Latar Belakang

Perkembangan teknologi digital di era modern telah mengalami kemajuan yang signifikan, mendorong lahirnya sistem elektronik dengan performa tinggi, efisiensi daya yang baik, serta kemampuan mengolah data dengan sangat cepat. Kemajuan ini tidak hanya berdampak pada perangkat komputasi umum, tetapi juga pada sistem khusus seperti perangkat komunikasi, pengolahan citra (*image processing*), dan pengolahan sinyal digital (*digital signal processing*) (Mitra & Achary, 2018). Dalam berbagai sistem tersebut, kecepatan eksekusi data menjadi parameter krusial yang menentukan kualitas dan responsivitas perangkat.

Salah satu komponen inti yang memegang peran penting dalam berbagai sistem tersebut adalah *multiplier* atau rangkaian pengali digital (Priyadarshini, 2018). Sebagai unit logika yang berfungsi melakukan operasi perkalian antara dua bilangan biner, *multiplier* menjadi bagian penting dari berbagai algoritma karena kemampuannya menangani perhitungan secara cepat dan memungkinkan pemrosesan data secara paralel (Dubey, Kothari, & Rao, 2020). Kebutuhan akan *multiplier* berperforma tinggi terus meningkat seiring dengan berkembangnya teknologi yang memerlukan pengolahan data masif, seperti pada pemrosesan video *real-time*, sistem enkripsi, pengenalan pola, hingga implementasi kecerdasan buatan (*artificial intelligence*) (Gou, Sun, & Kimura, 2018).

Dalam pengoperasian perkalian bilangan biner, terdapat dua jenis representasi bilangan yang umum digunakan, yaitu bilangan bertanda (*signed*) dan bilangan tidak bertanda (*unsigned*) (Bashagha & Ibrahim, 1998). Metode *two's complement* merupakan pendekatan yang paling banyak digunakan untuk menangani bilangan bertanda karena operasi penjumlahan dan pengurangan dapat dilakukan tanpa memisahkan tanda positif dan negatif, serta lebih mudah diimplementasikan pada perangkat keras digital (Xu, et al., 2018). Namun, merancang sebuah unit pengali yang fleksibel dapat dikonfigurasi untuk kedua jenis bilangan tersebut tanpa mengorbankan luas area dan kecepatan tetap menjadi tantangan teknis dalam desain VLSI (*Very Large Scale Integration*).

Beberapa penelitian sebelumnya telah mengeksplorasi berbagai teknik optimasi untuk meningkatkan performa *multiplier*. Penelitian oleh (Kaur & Sharma, 2016) melakukan analisis perbandingan berbagai arsitektur pengali pada teknologi CMOS 45 nm, namun fokus utamanya terbatas pada operasi *unsigned* saja. Sementara itu, (Srinivas & al., 2021) berhasil merancang *low-power multiplier* menggunakan teknik *Gate Diffusion Input* (GDI), tetapi desain tersebut memiliki kompleksitas tinggi dalam implementasi *layout* karena aturan desain yang non-standar. Di sisi lain, (Rahman & Kumar, 2019) mengkaji perancangan unit aritmatika rakan algoritma Booth, namun penelitian tersebut lebih banyak pendekatan *semi-custom* yang memiliki keterbatasan dalam tingkat fisik transistor. Performa pengali digital secara maksimal dapat dicapai melalui *Full Custom* pada tingkat transistor. Implementasi *full custom* teknologi CMOS berskala nanometer, seperti 50 nm, menawarkan



keunggulan berupa kerapatan transistor yang tinggi dan kecepatan *switching* yang lebih baik. Teknologi ini menuntut ketelitian tinggi mulai dari pembuatan skematik, analisis K-Map, hingga pembuatan *layout* yang harus diverifikasi melalui *Design Rule Check* (DRC) untuk memastikan kepatuhan terhadap aturan fisik pabrikasi.

Berdasarkan urgensi tersebut, penelitian ini dilakukan untuk merancang "4-bit Configurable Signed and Unsigned Digital Multiplier" menggunakan teknik *Full Custom* pada teknologi CMOS 50 nm. Dengan memanfaatkan gerbang logika dasar dan blok *adder* yang telah dioptimalkan, penelitian ini diharapkan dapat menghasilkan *multiplier* dengan kinerja tinggi, area yang efisien, dan konsumsi daya yang rendah, sehingga relevan untuk diaplikasikan pada sistem digital modern yang membutuhkan operasi perkalian cepat dan akurat.

1.2 Landasan Teori

Penelitian ini didasarkan pada beberapa konsep dan teori yang relevan, yang dijelaskan sebagai berikut.

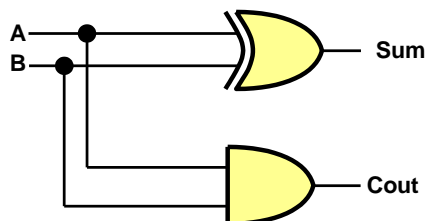
1.2.1 Half Adder

Half Adder merupakan salah satu rangkaian logika kombinasi yang digunakan untuk melakukan operasi penjumlahan dua biner satu bit, rangkaian ini memiliki dua input, yaitu input A dan input B, serta menghasilkan dua output, yaitu Sum (S) dan Carry (C). Dimana output Sum merupakan hasil dari penjumlahan antara dua bit yaitu bit A dan bit B, serta output Carry merupakan hasil pengangkatan (carry out) dari penjumlahan tersebut.

Tabel 1. Tabel kebenaran Half Adder

A	B	Sum (S)	Cout (C)
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Half Adder dibuat berdasarkan logika dari Tabel 1. Perancangan rangkaian Half Adder ditunjukkan pada Gambar 1. yang terdiri dari gerbang AND dan gerbang XOR (**Mano & Ciletti, 2013**)



Gambar 1. Skematik Half Adder Level Gerbang.



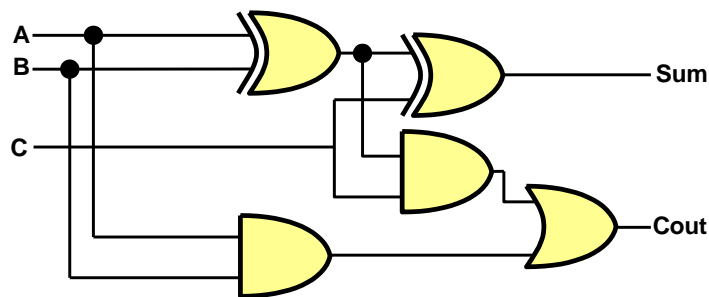
rangkain logika kombinasi yang sering digunakan untuk buah bit biner sekaligus, yaitu dua bit data (A dan B) serta satu dari penjumlahan sebelumnya. Full Adder menghasilkan dua

keluaran, yaitu Sum (S) dan Carry-out (Cout). Full Adder memiliki kelebihan dibandingkan Half Adder karena dapat disusun secara berantai (*cascading*) untuk membentuk penjumlahan multi-bit.

Tabel 2. Tabel kebenaran Full Adder

A	B	Cin	Sum (S)	Cout (C)
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Full Adder dibuat berdasarkan logika dari Tabel 2. Perancangan rangkaian Half Adder ditunjukkan pada Gambar 2. yang terdiri dari gerbang AND dan gerbang XOR



Gambar 2. Skematik Full Adder Level Gerbang.

1.2.3 Multiplexer

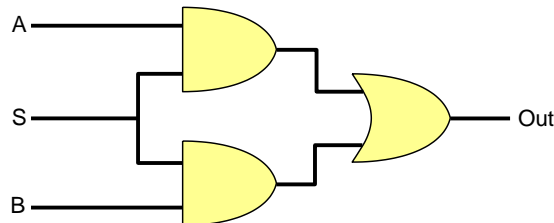
Multiplexer adalah perangkat elektronik/logika yang memiliki banyak input dan hanya memiliki satu output yang aktif ditentukan oleh sinyal selektor yang berfungsi sebagai pengendali (S., 2011). Dalam elektronika, fungsi multiplexer adalah memilih atau menyeleksi data dari beberapa input digital maupun analog dan meneruskannya ke jalur output tunggal.

Tabel 3. Tabel kebenaran Multiplexer.

I ₁	I ₀	S	Out
0	0	0	0
0	1	0	1
1	0	0	0
1	1	0	1
0	0	1	0
0	1	1	0
1	0	1	1
1	1	1	1



Multiplexer dibuat berdasarkan logika dari Tabel 3. di atas perancangan rangkaian *multiplexer* ditunjukkan pada Gambar 3.berikut. *Multiplexer* terdiri dari gerbang AND dan gerbang OR.



Gambar 3. Skematik Multiplexer Level Gerbang.

1.2.4 Two's Complement

Two's Complement adalah metode representasi bilangan bulat bertanda (signed integer) yang paling banyak digunakan dalam sistem digital dan komputer. Metode ini paling banyak digunakan di dalam komputer dan sistem digital. Metode ini memungkinkan operasi penjumlahan dan pengurangan aritmetika dilakukan menggunakan penjumlah biner yang tanpa memerlukan perangkat tambahan untuk menangani tanda bilangan.

Secara konsep, bilangan bertanda dapat direpresentasikan dengan beberapa cara, seperti sign-magnitude, one's complements, dan two's complements. Two's complement banyak digunakan karena menghilangkan masalah adanya dua representasi untuk angka nol seperti pada sign-magnitude dan one's complement (Mano & Ciletti, 2013). Kelebihan dari sistem two's complement adalah :

- Operasi penjumlahan dan pengurangan dapat dilakukan menggunakan sirkuit penjumlah biner biasa.
- Memiliki representasi unik untuk nilai nol (hanya satu bentuk: 0000 pada 4-bit).
- Dapat diperluas ke panjang bit yang lebih besar tanpa mengubah metode operasi.

Berikut merupakan contoh proses pembentukan two's complement dapat di lihat pada Gambar 4. berikut.

Binary Number					
1	1	0	0	1	0
One's Complements					
0	0	1	1	0	1
↓					
0	0	1	1	0	1
					+1
Two's Complements					
0	0	1	1	1	0

Contoh Representasi Bilangan pada Two's Complements.



1.2.5 Binary multiplier Arithmetic

Binary Multiplier adalah instrumen digital yang dirancang untuk mengeksekusi operasi perkalian pada dua buah bilangan biner. Operasi ini merupakan komponen fundamental di dalam *Arithmetic Logic Unit* (ALU) pada sistem komputer. Pada dasarnya, proses perkalian biner jauh lebih sederhana dibandingkan perkalian desimal karena hanya melibatkan dua digit (0 dan 1), di mana setiap operasi bit per bit dapat direpresentasikan oleh gerbang logika AND.

Dalam implementasi perangkat keras, perkalian biner sering kali menggunakan metode *shift-and-add*. Metode ini melibatkan pembentukan produk parsial berdasarkan nilai bit pengali (*multiplier*). Jika bit pengali bernilai 1, maka angka yang dikalikan (*multiplacand*) akan disalin; jika bernilai 0, maka produk parsialnya adalah nol. Keunggulan dari sistem *binary multiplier* yang terintegrasi dengan representasi *two's complement* adalah:

- Memungkinkan operasi pada bilangan bertanda (*signed*) dilakukan secara efisien menggunakan sirkuit penambah biner biasa.
- Memiliki kepastian nilai melalui representasi unik untuk angka nol, sehingga menghindari ambiguitas dalam kalkulasi digital.
- Hasil perkalian dapat diperluas ke kapasitas bit yang lebih besar (umumnya berjumlah $n + m$ bit) tanpa mengubah logika dasar operasi.

Berikut merupakan contoh representasi input biner dalam proses perkalian yang dapat dilihat pada ilustrasi di bawah ini:

$$\begin{array}{r}
 0111 \longrightarrow \boxed{7} \\
 \times 0010 \longrightarrow \boxed{2} \\
 \hline
 0000 \\
 0111 \\
 0000 \\
 0000 \\
 \hline
 0001110 \longrightarrow \boxed{14}
 \end{array}$$

Gambar 5. Perkalian Biner.



1.2.6 State of the Art

Berikut ini merupakan penelitian-penelitian yang berkaitan dengan penelitian yang diajukan dalam optimasi penempatan generator distribusi:

Referensi	Judul penelitian	Metode	Tujuan yang di capai	Perbedaan dengan penelitian yang diajukan
(Waris, Wang, & Liu, 2020)	Hybrid Low Radix Encoding Based Approximate Booth Multipliers	Pendekatan hybrid low radix encoding	Optimalisasi performa untuk pengali approximate.	Penelitian ini menggunakan metode approximate, sedangkan penelitian yang diajukan menggunakan desain full-custom presisi penuh.
(Saha, Bhattacharaya, & Dandapat, 2014)	Improved Floating Point Multiplier Design Based on Canonical Sign Digit	Algoritma CSD (Canonical Signed Digit)	Mengurangi delay dan daya switching.	Penelitian ini fokus pada pengali floating point, sementara penelitian diajukan fokus pada pengali bertanda 4-bit pada level transistor.
(Gou, Sun, & Kimura, 2018)	Design of Power and Area Efficient Lower Part OR Approximate Multiplier	Lower Part OR Approximate	Efisiensi daya dan area dengan toleransi error minimal.	Penelitian menggunakan pendekatan approximate, berbeda dengan pendekatan presisi penuh dalam penelitian yang diajukan.



(Juneja, Jangra, & Khurana, 2024)	Design of a Quaternary Component and Wallace Tree Integrated Baugh Wooley Multiplier	Wallace Tree dan Baugh Wooley	Proses data sangat cepat dengan efisiensi daya yang baik	Penelitian ini menggunakan arsitektur Wallace Tree, sedangkan penelitian ini menggunakan struktur berbasis HA dan FA secara full custom.
(Yu, Pan, Tang, Yin, & Yu, 2024)	Design of a High Speed, Low Power PTL CMOS Hybrid Multiplier	Hybrid PTL CMOS, evaluasi jalur kritis	Efisien energi dengan akurasi yang dikurangi	Berbeda dengan penelitian terdahulu yang menggunakan metode PTL <i>hybrid</i> , penelitian ini berfokus pada implementasi CMOS <i>full custom</i> konvensional.
(E & Jr, 2007)	The Negative Two's Complement Number System	Sistem representasi bilangan	Dapat merepresentasikan +1 tanpa overflow, sederhana secara aritmatika	Fokus pada teori representasi bilangan, sementara penelitian diajukan mengimplementasikan pengali bertanda secara riil menggunakan teknologi CMOS 50nm.



1.3 Rumusan Masalah

Berdasarkan latar belakang yang telah dipaparkan, maka dapat dirumuskan masalah sebagai berikut:

1. Bagaimana cara merancang rangkaian pengali yang dapat melakukan perkalian bertanda dan tidak bertanda dengan efisien?
2. Bagaimana cara mengoptimalkan penggunaan komponen dasar dan gerbang logika yang digunakan dalam mendesain pengali kombinasi?
3. Bagaimana karakteristik performa sirkuit pengali digital 4-bit yang dirancang ditinjau dari parameter dimensi luas area, waktu tunda (*rise/fall time*), serta hasil verifikasi fungsional dan *Design Rule Check* (DRC) pada teknologi CMOS 50nm?

1.4 Tujuan Penelitian

Berdasarkan rumusan masalah di atas, maka tujuan dari penelitian ini adalah sebagai berikut:

1. Merancang dan mengimplementasikan pengali digital menggunakan logika kombinasi yang dapat memproses bilangan bertanda dan tidak bertanda.
2. Menggunakan komponen dasar seperti full adder, half adder, multiplexer, dan gerbang yang membangun pengali telah dioptimalakan.
3. Menganalisis performa hasil perancangan pengali digital berdasarkan parameter luas area, waktu tunda (*delay*), serta verifikasi fungsional menggunakan simulasi dan *Design Rule Check* (DRC) pada teknologi CMOS 50nm.

1.5 Manfaat Penelitian

Penelitian ini diharapkan dapat memberikan manfaat sebagai berikut:

1. Memberikan pemahaman mendalam mengenai tahapan perancangan *Integrated Circuit* (IC) mulai dari tingkat gerbang, tingkat transistor, hingga implementasi *full-custom layout*.
2. Menjadi referensi teknis dalam mengoptimalkan penggunaan area dan kecepatan pada blok aritmatika untuk sistem digital berperforma tinggi seperti DSP atau prosesor
3. Menghasilkan desain pengali digital yang efisien yang dapat diaplikasikan pada perangkat elektronika dengan teknologi CMOS skala nanometer.

1.6 Batasan Masalah

1. Sistem menangani bilangan bener bertanda dalam bentuk komplemen dua (*two's complement*). Tidak mendukung pengali bilangan pecahan (*floating point*) atau representasi bilangan di luar standar biner murni.
2. Perancangan dan simulasi dilakukan terbatas menggunakan perangkat lunak DSCH untuk skematik dan Microwind untuk *layout* dengan spesifikasi teknologi CMOS 50nm.
3. Ukuran bit dibatasi, pembilang 4-bit dan pengali 4-bit, untuk menyederhanakan rangkaian.



BAB II METODE PENELITIAN

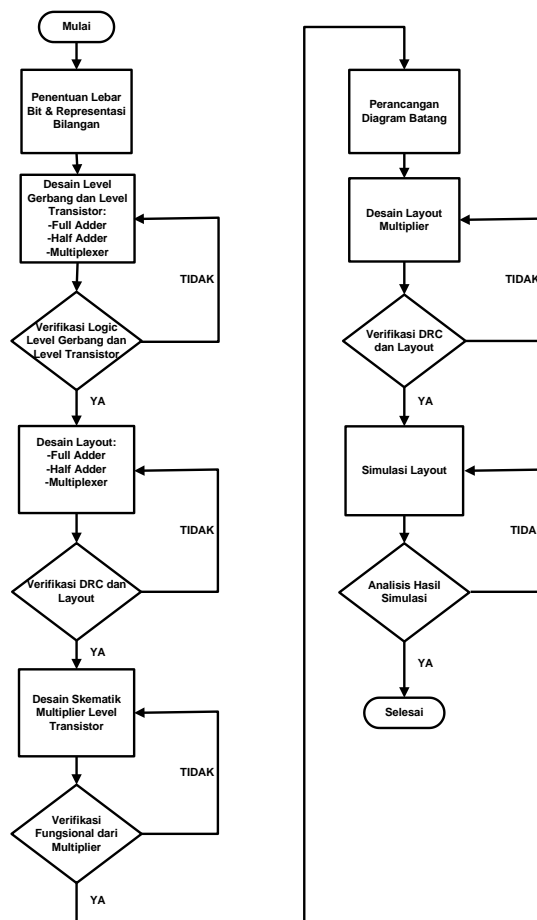
2.1 Waktu dan Lokasi Penelitian

Penelitian ini dilakukan di Laboratorium Elektronika dan Divais, Departemen Teknik Elektro, Fakultas Teknik, Universitas Hasanuddin. Pelaksanaan penelitian ini berlangsung dari bulan Februari sampai dengan bulan Juni 2025.

2.2 Alat dan Bahan

Pada penelitian kali ini menggunakan *software* Dsch yang digunakan untuk mendesain skematik level gerbang dan level transistor, dan Microwind digunakan untuk mendesain layout dari skematik yang telah di desain pada Dsch. Spesifikasi device yang digunakan antara lain prosesor AMD RYZEN 3, RAM 16 GB, dan menggunakan sistem operasi windows 11.

2.3 Alur Penelitian



Gambar 6. Diagram Alir Penelitian.



2.3.1 Studi Literatur

Studi literatur ini bertujuan untuk mempelajari dan memahami teori mengenai pengali digital khususnya pengali digital kombinasional. Fokus utama pada penelitian ini adalah merancang pengali digital yang dapat melakukan operasi pengali bertanda dan tidak bertanda dengan rangkain yang terkonfigurasi sampai pada perancangan layout secara *full custom*. Refrensi yang diambil dari artikel dan buku yang relevandengan penelitian ini. Pada tahap ini ditetapkan spesifikasi fungsional dari pengali ini mencakup lebar bit pengali yaitu (4-Bit) dan yang dikalikan (4-Bit), dan untuk merepresentasikan bilangan bertanda menggunakan (Two's Complements), serta delay maksimum 150ps serta luas area maksimum 114,468nm² menggunakan teknologi 50nm².

2.3.2 Perancangan Menggunakan Standar Cell

Tahap awal penelitian ini melibatkan penentuan parameter operasional sirkuit, yang mencakup penetapan lebar bit untuk pengali (*multiplier*) dan yang dikalikan (*multiplicand*) masing-masing sebesar 4-bit. Representasi bilangan bertanda diatur menggunakan metode *Two's Complement*. Target performa sirkuit mencakup batas *delay* maksimal sebesar 150ps dengan pemanfaatan teknologi CMOS 50nm. Secara fungsional, blok pengali ini dibangun menggunakan gerbang logika dasar seperti AND dan NAND, serta unit hierarki yang lebih kompleks seperti *Half Adder* (HA), *Full Adder* (FA), dan *Multiplexer* yang telah dioptimalkan sebelumnya.

2.3.3 Perancangan Pada Level Transistor

Fase konstruksi sirkuit diawali dengan pemodelan pada skala transistor untuk memastikan efisiensi switching sirkuit. Perancangan skematik dilakukan melalui perangkat lunak DSCH. Pada unit *Half Adder*, desain mengintegrasikan total 12 transistor yang terbagi secara simetris menjadi 6 transistor PMOS dan 6 transistor NMOS. Sementara itu, untuk unit *Full Adder*, sirkuit yang dirancang memiliki kompleksitas yang lebih tinggi dengan total 28 transistor, yang terdiri dari 14 transistor PMOS dan 14 transistor NMOS guna menangani tiga input bit secara simultan.

2.3.4 Mendesaian Layout

Transformasi desain dari skematik ke bentuk fisik dilakukan dengan pendekatan *Full Custom* menggunakan perangkat lunak Microwind. Untuk mencapai densitas area yang optimal, pemodelan interkoneksi pada *layout* mengacu pada diagram batang yang disusun berdasarkan jalur Euler. Berdasarkan hasil perancangan fisik, unit *Half Adder* menempati luas area sebesar 22,464 nm². Pada variasi desain *Full Adder* tertentu, penggunaan 78 kontak berhasil mereduksi area desain hingga mencapai 9,914 nm².

2.3.5 Melakukan (DRC) dan Simulasi



dilakukan melalui mekanisme *Design Rule Check* (DRC) untuk *ayout* fisik sirkuit memenuhi standar fabrikasi dan bebas dari i. Berdasarkan hasil simulasi akhir pada unit pengali, didapatkan na waktu berupa *rise time* terlama sebesar 150 ps dan *fall time* ps. Verifikasi logika menunjukkan akurasi tinggi, di mana bit ke- i secara presisi sebagai indikator tanda bilangan, yang akan aktif perkalian bernilai negatif.

2.4 Desain Layout Half Adder

Tahap perancangan Half Adder diawali dengan membuat K-map Half Adder dari tabel kebenaran Half Adder Tabel 1. Pada perancangan K-Map di mulai dari membuat K-Map Sum dan Cout dari Half Adder.

Tabel 4. K-Map Half Adder Sum (S).

	A'	A
B'	0	1
B	1	0

Tabel 5. K-Map Half Adder Cout (C).

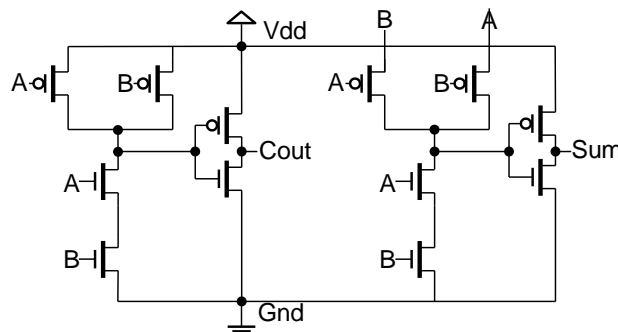
	A'	A
B'	0	0
B	0	1

Dari K-Map Tabel 4 dan Tabel 5 dapat dilihat jika A itu bernilai 1 dan jika ditambahkan tanda (') nilai menjadi 0 begitu juga nilai B. K-Map diatas sesuai dengan hasil tabel kebenaran Half Adder. Hasil dari K-Map kemudian di buat dalam bentuk persamaan Cout(C) dan Sum(S) sebagai berikut :

$$S = A'B + AB' \quad (1)$$

$$C = AB \quad (2)$$

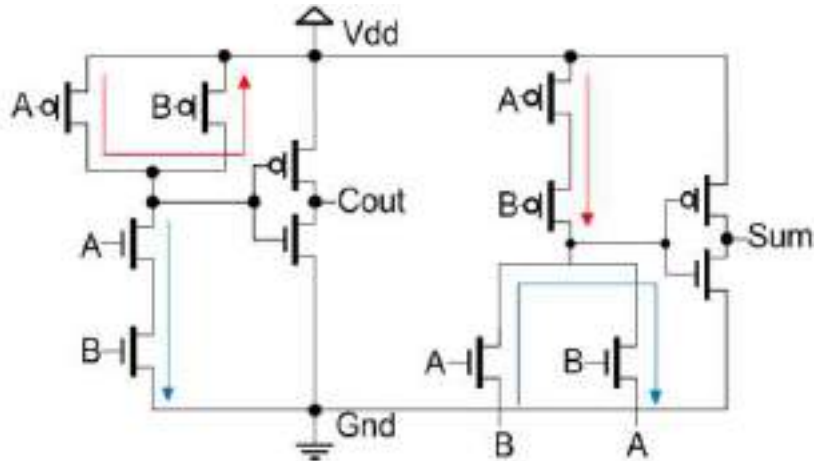
Dari persamaan di atas merupakan persamaan (1) dan persamaan (2) yang akan di gunakan dalam merancang Half Adder level gerbang Gambar 1 dan Half Adder level transistor Gambar 7. Pada perancangan level transistor ini diawali dengan mengimplementasikan sirkuit Half Adder pada tingkatan transistor sebagai unit fundamental dalam pemrosesan penjumlahan biner. Penjumlahan dua input biner pada sirkuit ini diproses untuk menghasilkan luaran berupa *Sum* dan *Carry-out* (Cout).



Gambar 7. Skematik Half Adder Level Transistor.

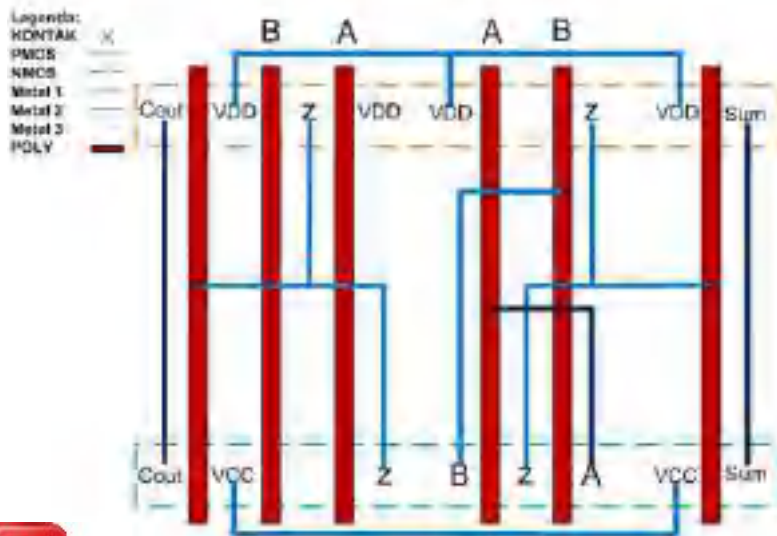
Unit ini mengintegrasikan total 12 transistor yang terdiri atas 6 transistor NMOS dan 6 transistor PMOS. Untuk mencapai densitas area yang optimal, pemodelan interkoneksi dilakukan menggunakan metode diagram batang yang Euler.





Gambar 8. Jalur euler Half Adder.

Pada Gambar 8 merupakan proses pembuatan jalur euler yang berfungsi sebagai interkoneksi yang akan membantun dalam proses desain diagram batang Half Adder yang akan menjadi model dari layout yang akan dirancang. Terdapat dua macam warna pada Gambar 8 warna merah mewakili jalur euler daerah PMOS dan jalur biru mewakili daerah NMOS. Pada saat merancang jalur euler harus memperhatikan dari titik awal sampai titik akhir jalur yang dilalui PMOS dan NMOS harus sama.

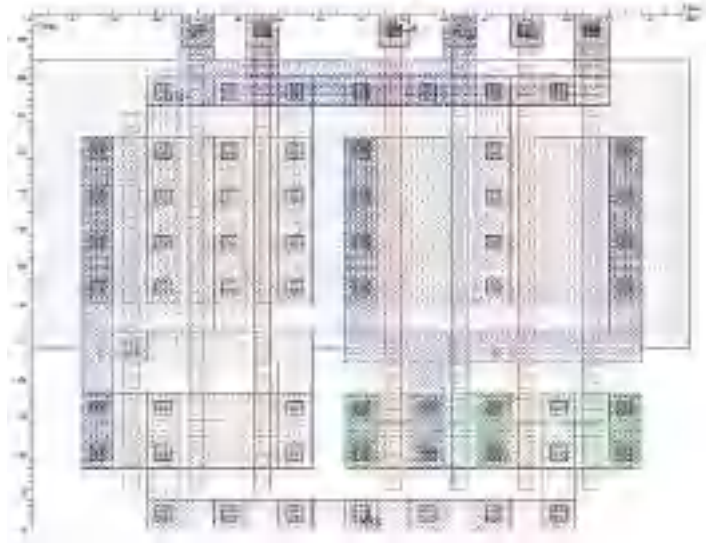


Gambar 9. Diagram batang Half Adder.

bar 9 merupakan hasil dari jalur euler yang telah dibuat yang an dari layout yang akan dirancang dengan menggunakan aturan ancangan IC. Di mana dalam perancangan menggunakan lamda

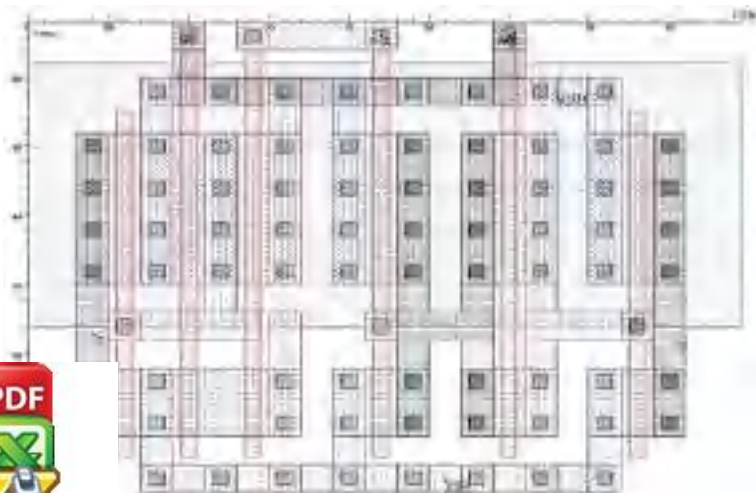


(λ) sebagai ukuran yang digunakan nilai dari lamda tergantung dari teknologi yang digunakan jika menggunakan teknologi 50nm maka nilai dari 50nm adalah 2λ . Tahap selanjutnya adalah perancangan tata letak fisik (*layout*) yang dioptimalisasi menggunakan teknik *Full Custom* Gambar 9. Pada penelitian ini berfokus pada output yang optimal dengan pemrosesan data yang cepat. Dalam merancang layout harus memperhatikan aturan ukuran minimum yang digunakan pada setiap lapisan.



Gambar 10. Half Adder Layout 1.

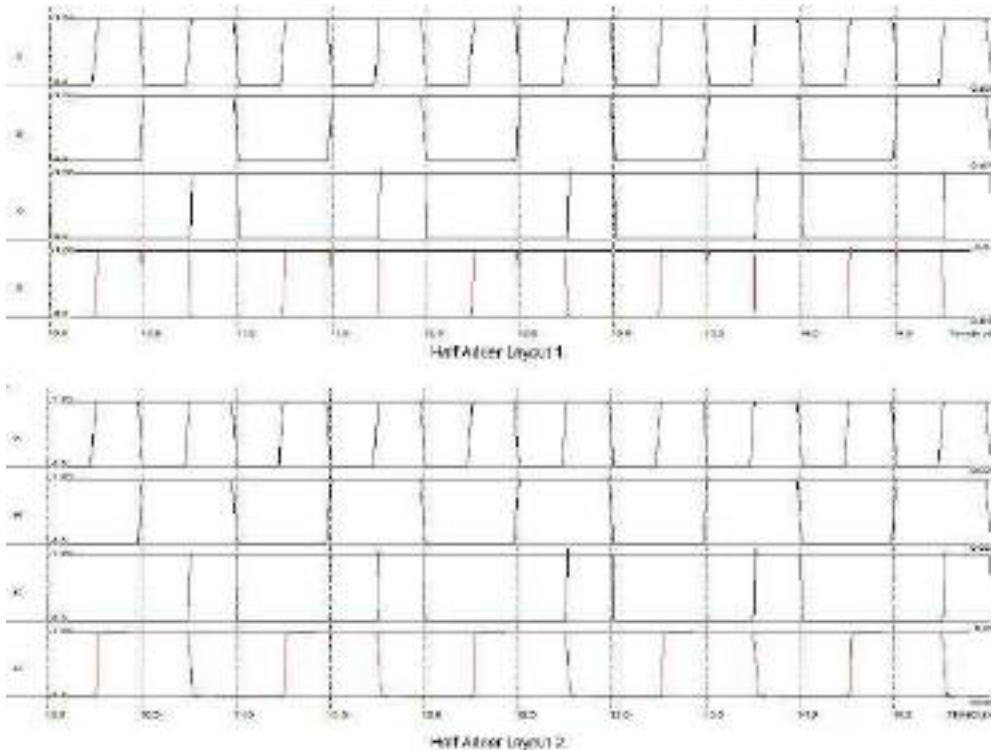
Pada Gambar 10. terdiri dari 7 transistor PMOS dan 7 transistor NMOS dengan total transistor yang digunakan dalam satu Half Adder adalah 14 transistor. Layout 2 Berhasil mereduksi dimensi hingga mencapai $2,400 \text{ nm}^2$ dengan penggunaan kontak yang lebih efisien, yakni sebanyak 44 kontak.



Gambar 11. Half Adder Layout 2.




Pada Gambar 11. terdiri dari 6 transistor PMOS dan 6 transistor NMOS dengan total transistor yang digunakan dalam satu Half Adder adalah 12 transistor. Layout 1 Memerlukan 62 kontak secara keseluruhan dengan luas area sebesar $3,782\text{nm}^2$.



Gambar 12. *Waveform* Simulasi Layout Half Adder 40 kontak dan 62 kontak.

Untuk menganalisis dampak jumlah kontak pada layout terhadap kinerja Half Adder, dua varian desain dengan yang berbeda dan jumlah kontak minimal (44 kontak) dan jumlah yang lebih banyak (62 kontak). Dari Gambar 12. di atas didapatkan hasil rise time dan fall time. Waktu yang diambil merupakan waktu terlama pada saat rise dan pada saat fall dapat dilihat pada Tabel 6. yang merupakan hasil dari menguraikan waktu respon output (Cout dan S) terhadap perubahan input (A dan B) untuk setiap konfigurasi layout.

Tabel 6. Waktu Rise dan Fall Layout Half Adder

		Half Adder			
		Layout 1		Layout 2	
	Output	Rise	Fall	Rise	Fall
	C	14ps	10ps	14ps	10ps
	C	264ps	10ps	264ps	10ps
	S	7ps	7ps	23ps	20ps
	S	257ps	257ps	273ps	270ps

Pengujian rangkaian dilakukan dengan memberikan parameter masukan sebagai berikut:

- Input A: *time low*=0,250ns, *time high*=0,250ns, *rise time*=0,025ns, *fall time*=0,025ns.
- Input B: *time low*=0,500ns, *time high*=0,500ns, *rise time*=0,025ns, *fall time*=0,025ns.

Gambar 12 dan Tabel 6 menyajikan perbandingan hasil simulasi dari dua desain layout Half Adder yang diuji. Berdasarkan hasil tersebut, layout dengan 44 kontak menunjukkan tingkat stabilitas sinyal yang rendah di dibandingkan dengan layout yang menggunakan 62 kontak.

2.5 Desain Layout Full Adder

Tahap perancangan Full Adder diawali dengan membuat K-map Full Adder dari tabel kebenaran Full Adder Tabel 2. Pada perancangan K-Map di mulai dari membuat K-Map Sum dan Cout dari Half Adder.

Tabel 7. K-Map Full Adder Sum (S).

	A'B'	A'B	AB	A'B'
C'	0	1	0	1
C	1	0	1	0

Tabel 8. K-Map Full Adder Cout (C).

	A'B'	A'B	AB	A'B'
C'	0	0	1	0
C	0	1	1	1

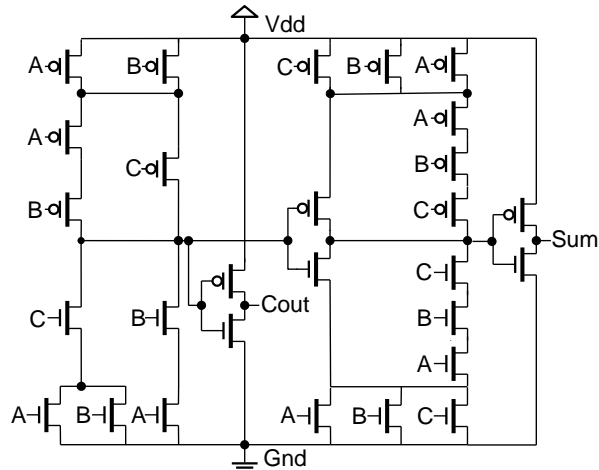
Dari K-Map Tabel 7 dan Tabel 8 dapat dilihat jika A bernilai 1 dan jika ditambahkan tanda (') nilai menjadi 0 begitu juga nilai B dan C. K-Map diatas sesuai dengan hasil tabel kebenaran Full Adder. Hasil dari K-Map kemudian di buat dalam bentuk persamaan Cout(C) dan Sum(S) sebagai berikut :

$$\begin{aligned}
 S &= A'B'C + A'BC' + ABC + AB'C' \\
 S &= A'(BC' + B'C) + A(B'C' + BC) \\
 S &= A'(B \oplus C) + A(B' \oplus C') \\
 S &= A \oplus B \oplus C
 \end{aligned}
 \tag{3}$$

$$C = AB + AC + BC \tag{4}$$

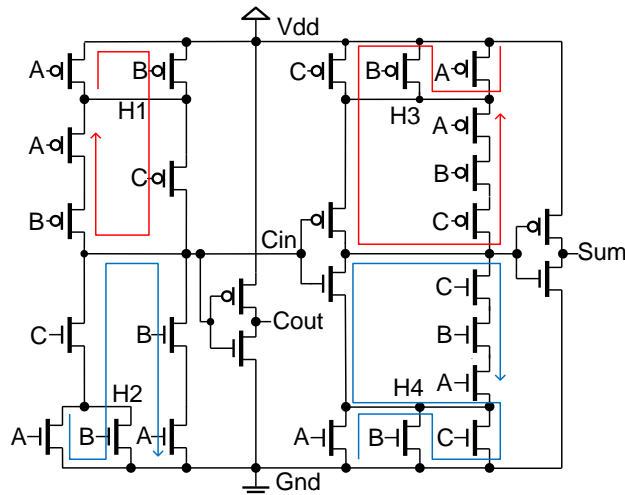
Dari persamaan di atas merupakan persamaan (3) dan persamaan (4) yang akan di gunakan dalam merancang Full Adder level gerbang Gambar 2 dan Full Adder level transistor Gambar 13. Sirkuit ini mengintegrasikan 28 transistor yang terbagi secara simetris menjadi 14 transistor PMOS dan 14 transistor NMOS.





Gambar 13. Skematik Full Adder Level Transistor.

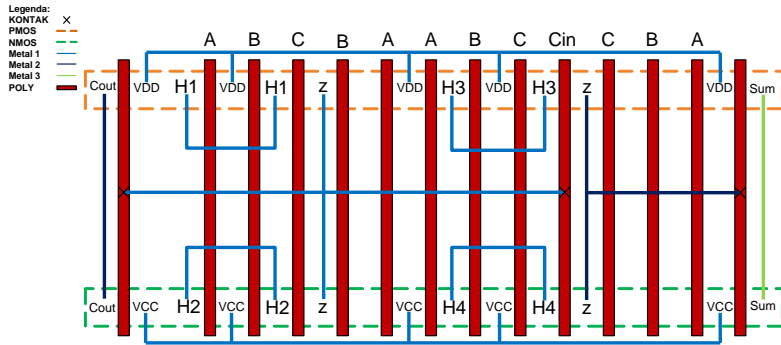
Transformasi desain dari skematik ke bentuk fisik tetap mengacu pada jalur Euler untuk meminimalkan kompleksitas interkoneksi. Untuk mencapai densitas area yang optimal, pemodelan interkoneksi dilakukan menggunakan metode diagram batang yang berbasis pada jalur Euler.



Gambar 14. Jalur Euler Full Adder.

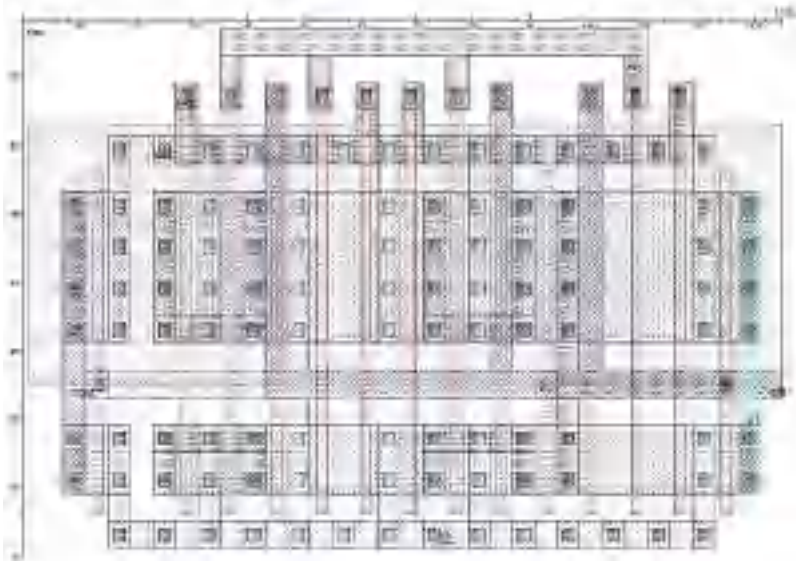
Pada Gambar 14 merupakan proses pembuatan jalur euler yang berfungsi sebagai interkoneksi yang akan membantun dalam proses desain diagram batang Full Adder yang akan menjadi model dari layout yang akan dirancang. Terdapat dua pada Gambar 14 warna merah mewakili jalur euler daerah PMOS dan warna biru mewakili daerah NMOS. Pada saat merancang jalur euler harus memastikan dari titik awal sampai titik akhir jalur yang dilalui PMOS dan NMOS





Gambar 15. Diagram batang Full Adder.

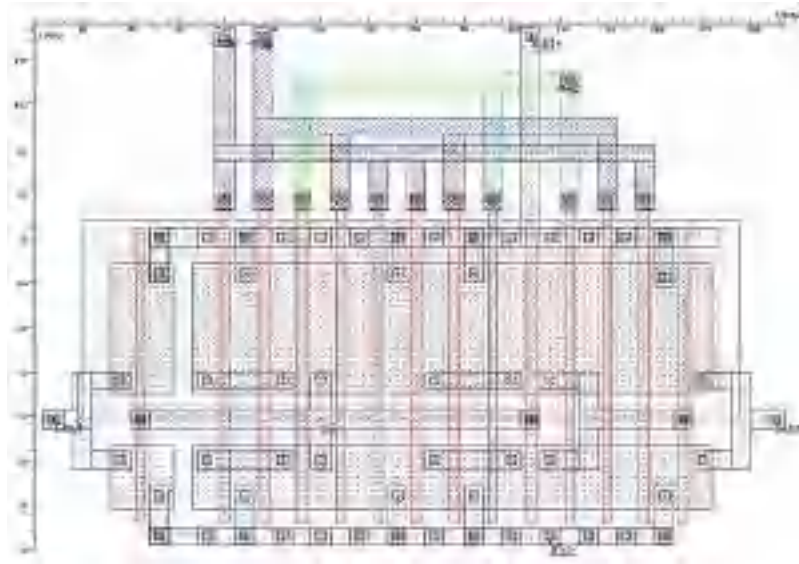
Pada Gambar 13. terdiri dari 28 transistor, yaitu 14 transistor PMOS dan 14 transistor NMOS. Tahap selanjutnya adalah perancangan tata letak fisik (*layout*) yang dioptimalisasi menggunakan teknik *Full Custom* Gambar 15. Pada penelitian ini berfokus pada output yang optimal dengan pemrosesan data yang cepat. Dalam merancang layout harus sesuai dengan aturan ukuran minimum yang digunakan dalam merancang IC. Di mana dalam perancangan menggunakan lamda (λ) sebagai ukuran yang digunakan, nilai dari lamda tergantung dari teknologi yang digunakan jika menggunakan teknologi 50nm maka nilai dari lamda adalah 2λ .



Gambar 16. Full Adder Layout 1.

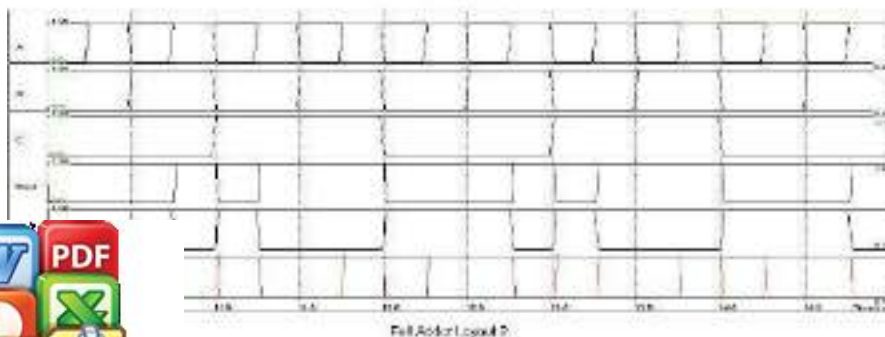
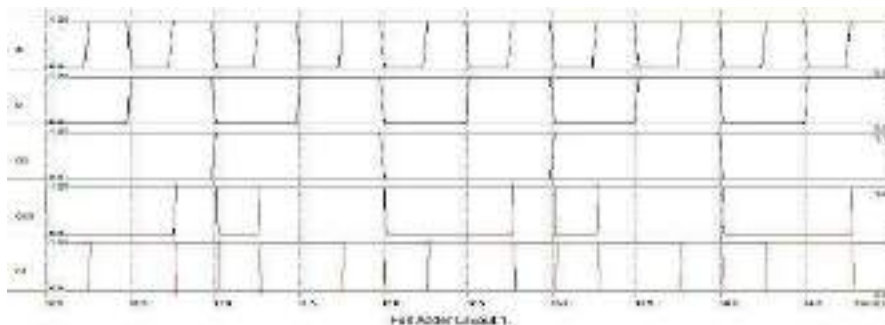


Pada Gambar 16. terdiri dari 14 transistor PMOS dan 14 transistor NMOS yang digunakan dalam satu Full Adder adalah 28 transistor. Luas area $9,914\text{nm}^2$ dengan integrasi 84 kontak.



Gambar 17. Full Adder Layout 2.

Pada Gambar 17. terdiri dari 14 transistor PMOS dan 14 transistor NMOS dengan total transistor yang digunakan dalam satu Full Adder adalah 28 transistor. Layout 2 Meskipun menggunakan jumlah kontak yang lebih sedikit (26 kontak), luas area yang ditempati jauh lebih besar, yakni $22,464\text{nm}^2$.



Navefrom Simulasi Layout Full Adder 84 kontak dan 26 kontak.

Untuk menganalisis dampak jumlah kontak pada layout terhadap kinerja Full Adder, dua varian desain dengan jumlah kontak minimal (26 kontak) dan jumlah yang lebih banyak (84 kontak). Dari Gambar Gambar 18. di atas didapatkan hasil rise time dan fall time. Waktu yang diambil merupakan waktu terlama pada saat rise dan pada saat fall dapat dilihat pada Tabel 9. yang merupakan hasil dari menguraikan waktu respon output (Cout dan S) terhadap perubahan input (A, B) untuk setiap konfigurasi layout.

Tabel 9. Waktu Rise dan Fall Full Adder

		Full Adder			
Input	Output	Layout 1		Layout 2	
		Rise	Fall	Rise	Fall
A	C	10ps	12ps	9ps	11ps
B	C	260ps	12ps	259ps	11ps
C _{in}	C	12ps	12ps	11ps	8ps
A	S	15ps	14ps	14ps	12ps
B	S	264ps	15ps	262ps	14ps
C _{in}	S	15ps	7ps	14ps	6ps

Pengujian rangkaian dilakukan dengan memberikan parameter masukan sebagai berikut:

- Input A: *time low*=0,250ns, *time high*=0,250ns, *rise time*=0,025ns, *fall time*=0,025ns.
- Input B: *time low*=0,500ns, *time high*=0,500ns, *rise time*=0,025ns, *fall time*=0,025ns.
- Input Cin: *time low*=0,750ns, *time high*=0,750ns, *rise time*=0,025ns, *fall time*=0,025ns.

Gambar 18 dan Tabel 9 menyajikan perbandingan hasil simulasi dari dua desain layout Full Adder yang diuji. Berdasarkan hasil tersebut, layout dengan 26 kontak menunjukkan tingkat stabilitas sinyal yang rendah di dibandingkan dengan layout yang menggunakan 86 kontak.

2.6 Desain Layout Multiplexer

Tahap perancangan multiplexer diawali dengan membuat K-map multiplexer dari tabel kebenaran multiplexer Tabel 3. Pada perancangan K-Map di mulai dari membuat K-Map Output dari multiplexer.

Tabel 10. K-Map Multiplexer.

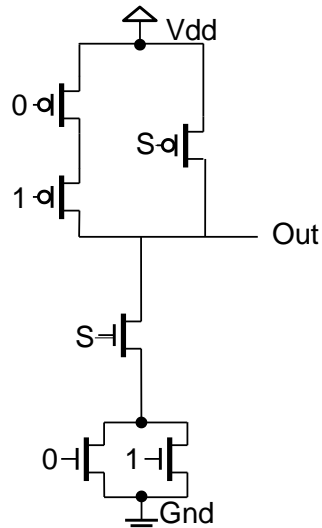
	I ₁ 'I ₀ '	I ₁ 'I ₀	I ₁ I ₀	I ₁ I ₀ '
S'		1	1	
S			1	1



Tabel 10 dapat dilihat jika S bernilai 1 dan jika ditambahkan tanda egitu juga nilai I₁ dan I₀. K-Map diatas sesuai dengan hasil tabel ker. Hasil dari K-Map kemudian di buat dalam bentuk persamaan

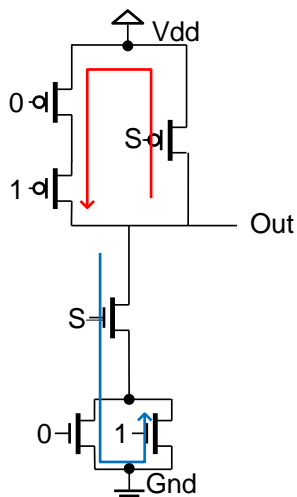
$$Out = S'I_0 + SI_1 \quad (5)$$

Dari persamaan di atas merupakan persamaan (5) yang akan di gunakan dalam merancang multiplexer level gerbang Gambar 3 dan multiplexer level transistor Gambar 19. Sirkuit ini merupakan skematik dari rangkaian multiplexer yang telah dirancang terdiri dari 3 transistor PMOS dan 3 transistor NMOS dengan total keseluruhan transistor berjumlah 6 transistor.



Gambar 19. Skematik Multiplexer Level Transistor.

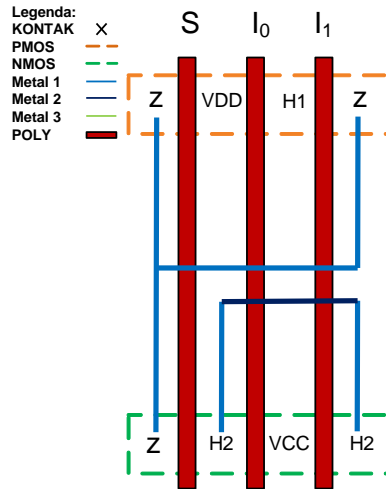
Transformasi desain dari skematik ke bentuk fisik tetap mengacu pada jalur Euler untuk meminimalkan kompleksitas interkoneksi. Untuk mencapai densitas area yang optimal, pemodelan interkoneksi dilakukan menggunakan metode diagram batang yang berbasis pada jalur Euler.



Gambar 20. Jalur Euler Multiplexer.

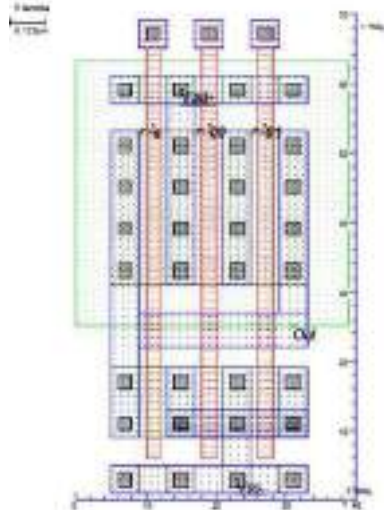


Dapat di lihat pada Gambar 20 merupakan proses pembuatan jalur euler yang berfungsi sebagai interkoneksi yang akan membantun dalam proses desain diagram batang multiplexer yang akan menjadi model dari layout yang akan dirancang. Terdapat dua macam warna pada Gambar 20 warna merah mewakili jalur euler daerah PMOS dan jalur biru mewakili daerah NMOS. Pada saat merancang jalur euler harus memperhatikan dari titik awal sampai titik akhir jalur yang dilalui PMOS dan NMOS harus sama.



Gambar 21. Diagram Batang Multiplexer .

Pada Gambar 21 merupakan hasil dari jalur euler yang telah dibuat yang merupakan gambaran dari layout yang akan dirancang dengan menggunakan aturan tata letak dalam perancangan IC. Di mana dalam perancangan menggunakan lamda (λ) sabagai ukuran yang digunakan, nilai dari lamda tergantung dari teknologi yang digunakan jika menggunakan teknologi 50nm maka nila dari 50nm adalah 2λ .



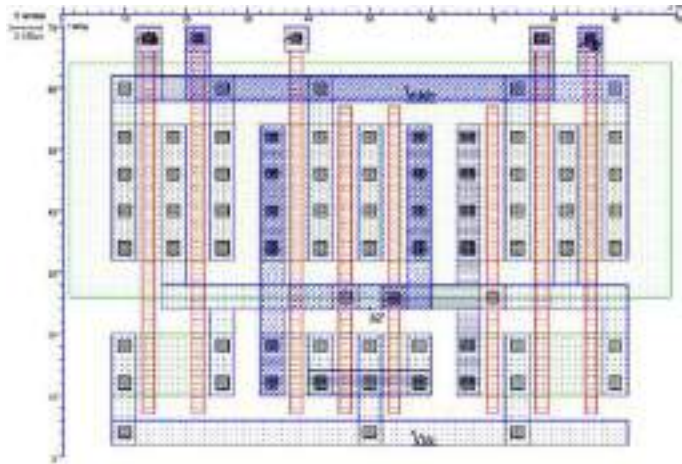
Gambar 22. Layout Multiplexer.



Pada Gambar 22. terdiri dari 3 transistor PMOS dan 3 transistor NMOS dengan total transistor yang digunakan dalam satu Multiplexer adalah 6 transistor. Berdasarkan hasil perancangan fisik, unit ini menempati luas area yang sangat ringkas, yakni sebesar $1,750 \text{ nm}^2$ dengan total 24 kontak.

2.7 Desain Layout Two's Complement

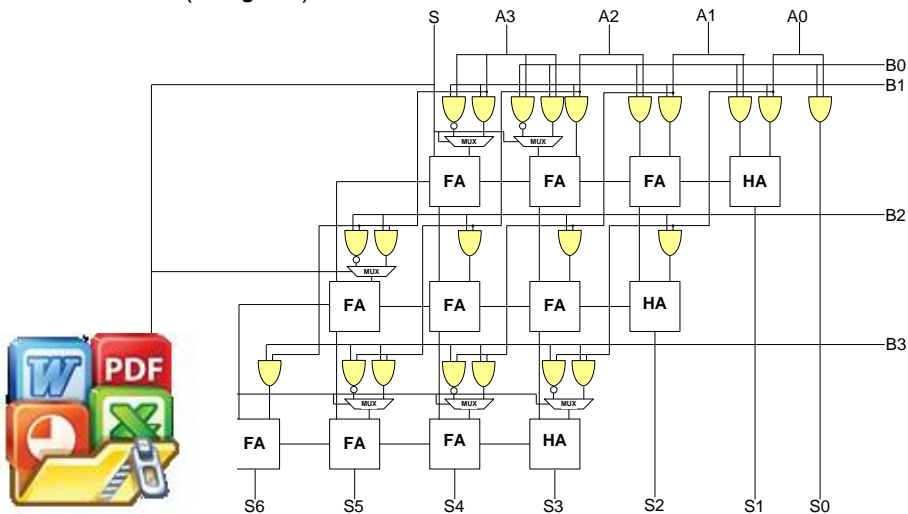
Di bawah ini merupakan skematik dari rangkaian two's complement merupakan gabungan dari layout multiplexer, NAND dan AND. Pada Gambar 23 terdiri dari 8 transistor PMOS dan 8 transistor NMOS dengan keseluruhan transistor berjumlah 16 dengan luas area $4,500 \text{ nm}^2$.



Gambar 23. Layout Two's Complements.

2.8 Desain Skematik dan Layout Multiplier

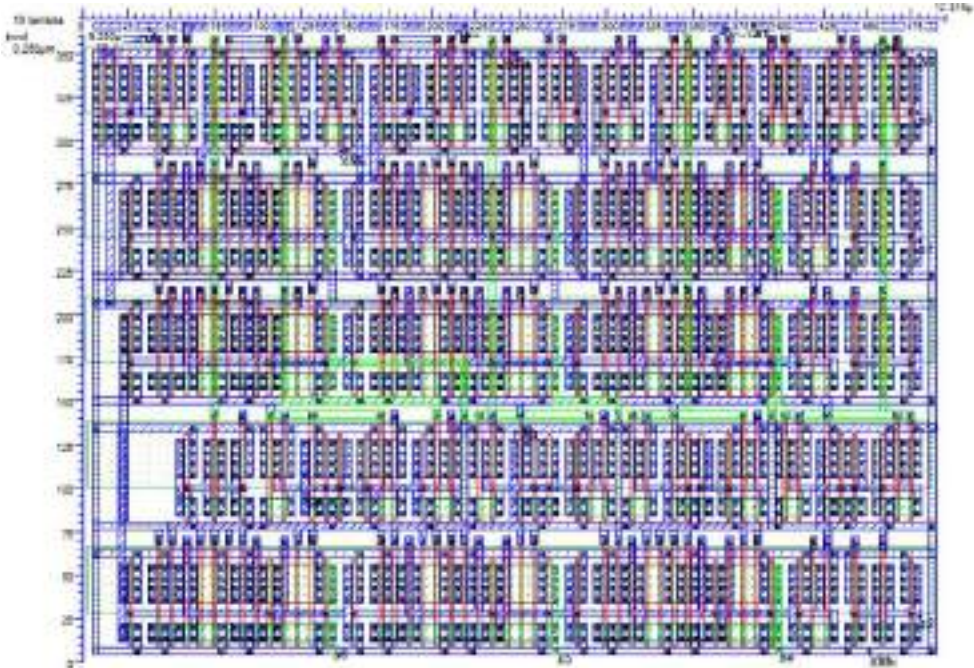
Sirkuit utama dalam penelitian ini adalah pengali digital 4-bit yang dirancang agar mampu beroperasi secara terkonfigurasi untuk bilangan bertanda (*signed*) maupun tidak bertanda (*unsigned*).



Gambar 24. Skematik Multiplier .



Sistem ini mengintegrasikan seluruh komponen dasar yang telah dioptimalkan sebelumnya, mencakup Full Adder, Half Adder, Multiplexer, serta gerbang logika AND dan NAND. Rangkain diatas terdiri dari 9-bit 1-bit input selektor, 4-bit input A dan 4-bit input B yang akan menghasilkan 9-bit dimana bit ke 9 atau S8 merupakan penanda jika menghasilkan hasil negatif S8 akan menyala dan jika hasil positif S8 akan mati.



Gambar 25. Layout Pengali Digital.

Berdasarkan hasil simulasi, sirkuit menunjukkan stabilitas dengan *rise time* maksimum 150 ps dan *fall time* maksimum 92 ps. Menggunakan teknologi CMOS 50 nm dengan total luas area sirkuit terintegrasi sebesar 144,468 nm². Menggunakan total 404 transistor (202 NMOS dan 202 PMOS) serta daya yang di gunakan sebesar 5.093μW .

Walaupun diimplementasikan menggunakan teknologi CMOS 50 nm , arsitektur pengali digital ini menunjukkan karakteristik kecepatan yang sangat kompetitif. Melalui catatan waktu bangkit (*rise time*) maksimal sebesar 150 ps atau sama dengan 6,7 GHz , unit logika ini secara teoritis mampu beroperasi pada frekuensi tinggi yang sangat mumpuni. Pencapaian frekuensi operasional ini sangat signifikan karena secara teoritis mampu bersaing dengan frekuensi standar prosesor seperti Intel Core i3 (3,8 GHz) atau AMD Ryzen 5000 (4,9 GHz), meskipun tersebut diproduksi menggunakan node teknologi yang jauh lebih modern (7 nm).

