

BAB I PENDAHULUAN

1.1 Latar Belakang

Perkembangan sistem digital modern mulai dari perangkat *embedded*/IoT hingga SoC untuk komputasi tepi kian ditentukan oleh persaingan *power performance area* (PPA) yang semakin ketat. Dalam lanskap ini, *flip-flop* tidak lagi dipandang sebagai elemen “biasa” penyimpan *state*, melainkan komponen yang sangat menentukan biaya sistem karena berjumlah masif pada desain sinkron, membebani jaringan *clock*, dan memengaruhi batas *timing* pada jalur kritis. Riset-riset terbaru menegaskan bahwa pengurangan *clock load* dan eliminasi *contention* maupun *redundant transition* pada *flip-flop* dapat memberikan dampak PPA yang nyata pada level chip; salah satu contoh adalah rancangan *flip-flop fully-static* yang menurunkan beban *clock* dan mengurangi transisi internal yang tidak perlu demi efisiensi daya tanpa mengorbankan *robustness* operasi (Ko et al., 2025).

Selain aspek PPA pada mode fungsional, kebutuhan industri juga mendorong *flip-flop* untuk semakin “ramah” terhadap proses verifikasi dan manufaktur. Kompleksitas *chip* modern membuat konsumsi daya saat *scan test* sering melonjak jauh di atas mode operasi normal, memicu isu panas, *IR drop*, hingga kegagalan *timing* yang tidak realistis. Karena itu, desain *flip-flop* yang memasukkan mekanisme *bypass* dan retensi data menjadi penting untuk menekan konsumsi daya saat pengujian tanpa menurunkan kualitas *test* (Cao et al., 2022).

Isu reliabilitas juga memperkuat urgensi inovasi *flip-flop*. Pada lingkungan berisiko (misalnya radiasi), *flip-flop* termasuk sel digital yang paling rentan, sehingga pendekatan *radiation-hardened* berbasis *standard cell* menjadi opsi yang menarik karena menjanjikan efisiensi biaya sekaligus peningkatan ketahanan terhadap *soft error* tanpa harus membangun keseluruhan pustaka dari nol (Schraepel et al., 2021).

Namun, ada satu hal yang menentukan apakah inovasi *flip-flop* benar-benar berdampak pada sistem: integrasi ke alur EDA melalui *standard-cell library* dan *technology mapping*. Inovasi transistor-level akan sulit diadopsi secara luas bila tidak hadir sebagai sel yang terkarakterisasi dan kompetitif saat pemetaan teknologi. Tren riset *computer-aided design* menegaskan bahwa perluasan dan optimasi *standard-cell library* yang *mapping-aware* menjadi kunci untuk mendorong kualitas hasil sintesis, khususnya untuk target area dan efisiensi implementasi (Fu et al., 2025).

Di saat yang sama, penelitian *technology mapping* juga bergerak menuju pendekatan yang semakin “cerdas” dan *timing-driven*, misalnya dengan *reinforcement learning* untuk menekan *guardband timing* akibat variasi dan degradasi sehingga performa desain dapat lebih optimal namun tetap terkendali (Ye et al., 2024).

Di konteks inilah penelitian “Optimasi Perancangan *Flip-flop* Tipe D Berbasis Teknologi CMOS 90 nm dan Aplikasinya pada Core IP UART” menjadi relevan dan strategis. *Full-custom* memberi ruang untuk mengoptimalkan topologi transistor, jalur kritis, serta kapasitansi internal secara presisi merupakan hal yang sering sulit dicapai bila hanya mengandalkan sel generik. Sementara itu, *technology mapping* memastikan desain *flip-flop* terstruktur dan dapat dikembangkan lebih lanjut melalui beberapa metode

penyesuaian atau penyederhanaan. Dalam ranah optimasi sekuensial skala besar, tren IEEE juga menunjukkan pentingnya *design-technology co-optimization* pada keluarga *flip-flop* (mis. *multi-bit* dan *skew scheduling*) untuk mencapai *timing* yang lebih baik dengan konsekuensi daya/area yang terkendali. Dengan demikian, penelitian yang memadukan *full-custom cell design* dan *technology mapping* pada *node* CMOS 90 nm menjadi penting untuk menghasilkan *flip-flop* yang lebih efisien dari sisi daya, *timing*, dan luas area (Kim & Kim, 2025).

Pemilihan aplikasi UART memperkuat urgensi penelitian. UART tetap menjadi protokol komunikasi serial yang sangat lazim pada *embedded system*, perangkat IoT, dan *platform edge* sering kali menjadi “jalur hidup” data antarmodul saat antarmuka lain tidak ekonomis. Implementasi *gateway* yang melakukan konversi protokol komunikasi serial dalam konteks *edge computing* bahkan secara eksplisit menempatkan UART sebagai komponen protokol yang relevan dalam sistem terintegrasi (Sung et al., 2023).

Secara arsitektural, UART mengandalkan register geser, sinkronisasi *sampling*, pembangkit/penyelarasan *baud rate*, serta logika kontrol yang intensif elemen sekuensial. Artinya, *setup/hold* margin, CLK-to-Q *delay*, dan *clock loading* dari *flip-flop* berkontribusi langsung pada batas *baud rate* yang aman, konsumsi daya, serta ketahanan terhadap variasi PVT. Maka, merancang FFD *positive edge triggered* yang lebih efisien, lalu membuktikannya melalui pemetaan teknologi dan implementasi UART, memberikan pembuktian paling meyakinkan bahwa, perbaikan sel dapat menurunkan biaya sistem. Berdasarkan landasan tersebut, penelitian ini secara konseptual menargetkan: (i) merancang dan memverifikasi FFD *positive edge-triggered full-custom* pada CMOS 90 nm, (ii) melakukan karakterisasi *timing* dan daya, sebagai pembuktian penurunan *timing* dan daya, serta (iii) menguji dampak PPA dan kelayakan implementasi melalui studi kasus UART. Dengan demikian, penelitian yang memadukan *full-custom cell design* dan *technology mapping* pada *node* CMOS 90 nm menjadi penting untuk menghasilkan *flip-flop* yang lebih efisien dari sisi daya, *timing*, dan luas area. Penelitian ini juga memperjelas kontribusi pada dua level, yaitu level sel melalui desain *full-custom* dan level alur desain melalui penerapan *technology mapping*.

1.2 Rumusan Masalah

Berdasarkan latar belakang dan fokus penelitian yang telah diuraikan, maka rumusan masalah dalam penelitian ini adalah sebagai berikut:

1. Bagaimana merancang *flip-flop* tipe D berbasis CMOS 90 nm dengan jumlah transistor lebih sedikit namun tetap berfungsi normal?
2. Bagaimana menurunkan daya, *delay*, dan luas area secara bersamaan, padahal ketiganya saling memengaruhi?
3. Bagaimana menerapkan *technology mapping*, jalur Euler, dan tata letak *full-custom* untuk menghasilkan desain yang lebih efisien?
4. Bagaimana membuktikan bahwa *flip-flop* hasil rancangan lebih baik dibanding desain referensi dari sisi transistor, daya, *timing*, dan area?
5. Bagaimana memastikan *flip-flop* hasil optimasi tetap layak digunakan pada Core IP UART tanpa mengganggu fungsi TX/RX?

1.3 Tujuan Penelitian

Berdasarkan rumusan masalah yang telah diuraikan, maka tujuan penelitian ini adalah sebagai berikut:

1. Merancang *flip-flop* tipe D berbasis CMOS 90 nm yang lebih efisien.
2. Mengoptimalkan jumlah transistor, daya, *delay*, dan luas area pada desain *flip-flop*.
3. Menerapkan *technology mapping*, jalur Euler, dan tata letak *full-custom* dalam proses optimasi desain.
4. Membandingkan performa *flip-flop* hasil rancangan dengan beberapa desain *flip-flop* pembanding.
5. Menguji implementasi *flip-flop* hasil optimasi pada Core IP UART untuk melihat kelayakan fungsionalnya.

1.4 Manfaat Penelitian

Adapun manfaat yang diharapkan dari penelitian tugas akhir ini adalah sebagai berikut:

1. Memberikan alternatif desain *flip-flop* D yang lebih hemat daya, lebih cepat, dan lebih kecil luas areanya.
2. Menambah referensi penelitian di bidang optimasi rangkaian sekuensial berbasis CMOS 90 nm.
3. Menjadi acuan dalam perancangan sel digital *full-custom* yang efisien.
4. Mendukung pengembangan blok digital seperti register, pencacah, dan sistem komunikasi serial UART.
5. Menunjukkan bahwa optimasi pada level sel dapat memberi dampak positif pada performa sistem secara keseluruhan.

1.5 Batasan Masalah

Untuk pembahasan yang lebih terarah maka dalam penelitian ini ruang lingkup yang akan dibahas yaitu:

1. Penelitian difokuskan pada perancangan dan optimasi *flip-flop* tipe D.
2. Teknologi yang digunakan adalah CMOS 90 nm.
3. Optimasi dilakukan pada level transistor dengan pendekatan penyederhanaan struktur, *technology mapping*, jalur Euler, diagram batang, dan tata letak *full-custom*.
4. Parameter yang dianalisis dibatasi pada jumlah transistor, daya, CLK-to-Q *setup time*, CLK-to-Q *hold time*, dan luas area.
5. Perbandingan dilakukan terhadap beberapa desain referensi, yaitu ADTFF, PFC, TCFF, HFF, dan FFD persamaan.
6. Validasi penerapan hanya dilakukan pada Core IP UART yang mencakup blok *multiplexer*, *demultiplexer*, pencacah modulo, PISO, SIPO, *transmitter*, dan *receiver*.
7. Verifikasi dilakukan melalui simulasi menggunakan perangkat lunak perancangan tata letak, bukan melalui fabrikasi *chip* nyata.

1.6 Landasan Teori

1.6.1 Sistem Digital Sinkron

Rangkaian digital secara umum dibagi menjadi rangkaian kombinasional dan rangkaian sekuensial; pada rangkaian sekuensial, elemen penyimpan keadaan (*latch/flip-flop*) memegang peran kunci untuk membentuk register, *pipeline*, dan mesin keadaan hingga dapat menentukan batas performa sistem. Dalam desain modern, *flip-flop* juga merupakan kontributor signifikan terhadap konsumsi daya dinamis karena aktivitas *switching* yang dipicu *clock* dan *node* internalnya (You et al., 2021).

Dalam konteks optimasi performa, kualitas elemen sekuensial biasanya dievaluasi memakai metrik *timing* (misalnya *clock-to-Q latency*) dan energi (misalnya PDP/EDP) karena perubahan mikroarsitektur *flip-flop* dapat berdampak langsung terhadap frekuensi kerja maksimum maupun efisiensi energi sistem. Literatur *flip-flop* hemat daya menekankan bahwa pengurangan transisi redundan dan optimasi jalur internal dapat menurunkan daya tanpa mengorbankan fungsionalitas (Wang et al., 2023).

1.6.2 Flip-flop D Positive Edge-Triggered Master Slave

Flip-flop D (FFD) *positive edge-triggered master slave* adalah elemen sekuensial yang menyampel sinyal D dan memperbarui keluaran Q hanya pada tepi naik (*rising edge*) *clock*, dengan struktur dasar berupa dua *latch* yang tersusun berantai: master *latch* dan slave *latch*. Konfigurasi master slave ini memastikan data hanya “ditransfer” pada momen transisi tepi naik, sehingga mencegah perubahan input selama level *clock* tertentu langsung memengaruhi Q (menghindari efek transparansi level-sensitive pada output) (You et al., 2021).

Secara operasional, master slave FFD bekerja dalam dua fase yang saling komplementer terhadap *clock* (atau *clock* dan inversinya). Pada fase ketika master *latch* transparan (misalnya saat CLK = 0 pada implementasi tertentu), nilai D diizinkan mengikuti dan disimpan pada *node* internal master. Ketika *clock* bertransisi menuju tepi naik, master *latch* menutup (*hold*), dan pada saat yang sama slave *latch* membuka (*transparent*) sehingga data yang telah “dipatenkan” di master dipindahkan ke Q. Mekanisme ini menghasilkan perilaku *edge-triggered* yang *robust* serta lazim digunakan untuk menekan *hazard timing* yang muncul pada *latch* tunggal (Ko et al., 2024).

Kinerja *timing* DFF master-slave dievaluasi melalui parameter *setup time* (*t-setup*), *hold time* (*t-hold*), dan *clock-to-Q delay* (*t-CQ*). Nilai *t-CQ* terutama ditentukan oleh lintasan kritis internal (*node* master ke *node* slave) dan beban yang dipikul *clock* (*clock load*) pada transistor pengendali *latch*. Karena itu, strategi desain *flip-flop* modern sering menekankan pengurangan *clock load* serta pengendalian transisi internal untuk memperbaiki *t-CQ* tanpa mengorbankan stabilitas fungsional (Wang et al., 2023).

1.6.3 Teknik Optimasi Daya dan Delay Pada Flip-flop

Pada elemen sekuensial, daya dinamis sering didominasi oleh *switching* yang digerakkan *clock* serta transisi internal yang tidak selalu berkontribusi terhadap perubahan *state* (*redundant transitions*). Karena itu, arsitektur *flip-flop* hemat daya

banyak menargetkan penghapusan *precharge*/aktivitas redundan dan pengurangan *switching* internal saat aktivitas data rendah, sehingga daya turun tanpa menurunkan fungsionalitas (You et al., 2021).

Selain pengurangan transisi redundan, pendekatan lain yang umum adalah merancang struktur yang menekan *overhead sequencing/pipeline*, misalnya lewat *latch* berdenyut (*pulsed latch*) dengan mekanisme tertentu untuk mengurangi *overhead*. Optimasi *layout* dan *sizing* transistor pada akhirnya berinteraksi dengan beban internal serta distribusi *delay* yang menentukan *clock-to-Q* (Park & Jeong, 2022).

Optimasi juga dapat difokuskan pada *redundant-transition-free* dan perbaikan jalur *capture* pada desain *dual-edge/single-phase* untuk menurunkan PDP/energi per operasi pada aktivitas *switching* tertentu. Prinsip yang relevan yaitu “perbaikan struktur internal” dan “pengaturan jalur *clock/buffer* internal” dapat memberi dampak besar pada daya dan *delay*, bahkan sebelum melakukan transistor *sizing* (Wang et al., 2023).

1.6.4 *Technology mapping* dan Peran *Standard Cell Library*

Technology mapping adalah proses menerjemahkan representasi logika (*technology-independent*) menjadi implementasi pada teknologi target (mis. gerbang/sel pada *library* tertentu). Dalam alur VLSI modern, *standard cell library* menyediakan blok yang telah didesain dan dikarakterisasi, sehingga *mapping* berpengaruh langsung terhadap area, waktu dan daya desain akhir (Fu et al., 2025).

Seiring mengecilnya *node* teknologi dan makin ketatnya *guardband timing*, *technology mapping* juga berkembang menjadi lebih “*timing-aware*” dan semakin sering menggunakan teknik optimasi cerdas untuk mendekatkan hasil *mapping* pada target *timing*. Hal ini memperkuat justifikasi bahwa keputusan di level *mapping/topologi* gerbang dapat mempengaruhi beban, lintasan kritis dan pada akhirnya *clock-to-Q* ketika desain diturunkan ke level transistor dan *layout* (Ye et al., 2024).

1.6.5 *Full-custom layout* dan Verifikasi Fisik (DRC dan Pasca-Layout)

Full-custom layout memberi kontrol granular atas geometri transistor dan interkoneksi untuk mengejar *trade-off* area–*delay*, namun konsekuensinya adalah kebutuhan verifikasi fisik yang ketat agar *layout* memenuhi aturan fabrikasi dan konsisten dengan skematik. Praktik industri maupun riset EDA menempatkan tahapan *sign-off/verification* sebagai komponen esensial dari *flow* agar desain dapat direalisasikan menjadi silikon yang fungsional (Edwards et al., 2021).

DRC dipakai untuk memastikan lebar pada komponen telah sesuai dengan aturan tata letak terhadap *design rules*, sementara simulasi pasca-*layout* dibutuhkan untuk menangkap dampak parasitik interkoneksi terhadap *delay* dan konsumsi daya. Kebutuhan validasi pasca-*layout* menjadi lebih penting ketika target penelitian adalah optimasi *delay* berbasis penyesuaian *layout* dan *sizing* transistor, karena perubahan geometri dan *routing* memengaruhi beban efektif dan lintasan *timing* (Edwards et al., 2021).

1.6.6 Evaluasi Kinerja: *Clock-to-Q*, Area, dan Energi

Evaluasi *flip-flop* umumnya melaporkan *clock-to-Q* sebagai indikator keterlambatan *capture* serta luas *layout* sebagai indikator biaya area; kombinasi keduanya membentuk *trade-off* inti pada desain sel sekuensial. Banyak karya *flip-flop* modern juga menilai efisiensi melalui metrik energi seperti PDP untuk membandingkan kualitas desain pada kondisi *switching* tertentu (Wang et al., 2023).

Selain itu, pendekatan *latch/flip-flop* tertentu menunjukkan bahwa pengurangan *overhead sequencing* dapat meningkatkan efisiensi *timing* secara sistemik, sehingga hasil optimasi tidak hanya bergantung pada *sizing* transistor namun juga pada pilihan arsitektur dan pengaturan jalur internal (Park & Jeong, 2022).

1.6.7 UART (*Universal Asynchronous Receiver/Transmitter*)

UART (*Universal Asynchronous Receiver/Transmitter*) adalah antarmuka komunikasi serial asinkron yang secara konseptual membutuhkan blok *transmitter* dan *receiver*, pembangkit/pembagi *baud*, serta logika *framing/decoding*. Pada riset terkini, penguatan robusta UART terhadap variasi *clock* dan kondisi kanal menjadi tema penting, karena komunikasi asinkron sangat sensitif terhadap toleransi *timing* dan sinkronisasi *sampling* (Thomas et al., 2024).

Integrasi *flip-flop* ke UART umumnya muncul pada register data, *shift* register, dan sinkronisasi jalur kontrol; karena itu, perbaikan *clock-to-Q* dan pengurangan *switching* internal *flip-flop* berpotensi memperbaiki margin *timing* dan/atau efisiensi energi di level sistem (mis. pada jalur TX/RX atau register internal). Dengan demikian, penggunaan UART sebagai studi kasus integrasi memberi konteks sistem untuk menilai dampak optimasi *flip-flop* pada level sirkuit dan *layout* (You et al., 2021).

1.7 Sistematika Penulisan

Adapun sistematika penulisan untuk penelitian ini sebagai berikut:

BAB I PENDAHULUAN

Bab ini membahas mengenai Latar Belakang, Rumusan Masalah, Tujuan Penelitian, Manfaat Penelitian, Batasan Masalah, Landasan Teori, serta Sistematika Penulisan.

BAB II METODOLOGI PENELITIAN

Bab ini berisi tentang waktu dan lokasi penelitian, alat dan bahan yang digunakan, teknik pengumpulan data, metode penelitian, serta diagram alir penelitian.

BAB III HASIL PENELITIAN DAN PEMBAHASAN

Bab ini berisi tentang hasil penelitian analisis data yang diolah dan pemaparan data yang diperoleh, serta pembahasan dari hasil penelitian yang diperoleh.

BAB IV KESIMPULAN DAN SARAN

Bab ini berisi tentang kesimpulan dari pembahasan dan saran-saran yang terkait dengan tugas akhir.

1.8 State of the Art

Optimasi FFD sebelumnya sudah diteliti menggunakan metode yang berbeda-beda dan dengan tipe pengaplikasian yang berbeda-beda. Tabel 1 merupakan penelitian-penelitian yang terkait dengan penelitian ini:

Tabel 1 *State of the Art*

Judul Penelitian	Teknologi	Aplikasi	Fitur Spesifik
<i>A Low-Power Fully-Static Contention-Free Flip-flop With Reduced Clock Load</i>	28 nm CMOS	DFF <i>low-power</i> untuk sistem sinkron dengan dominasi konsumsi <i>clock</i>	<i>Fully-static</i> dan <i>contention-free</i> untuk menghindari arus silang; <i>reduced clock load</i> untuk memangkas <i>clock power</i> ; diarahkan pada efisiensi daya tanpa mengorbankan <i>robustness timing (setup/hold, tCQ)</i> .
<i>A Bypassable Scan Flip-flop for Low Power Testing with Data Retention Capability</i>	UMC 55 nm Low-Power CMOS	<i>Scan flip-flop</i> untuk <i>low-power testing</i> + retensi data (DFT & <i>sleep</i>)	<i>Scan flip-flop</i> yang bisa “memisahkan” jalur fungsi dan jalur <i>scan</i> , menekan daya saat pengujian, tetap mendukung data <i>retention</i> saat <i>power gating</i> , dan sekaligus membantu persoalan <i>hold time</i> .
<i>Reconfigurable Multi-Bit Scan Flip-flop for Cell-Aware Diagnosis</i>	Synopsys 32 nm CMOS	Diagnosis kegagalan berbasis <i>cell-aware</i> pada <i>scan chain</i>	<i>Scan path reconfigurable</i> meningkatkan resolusi diagnosis <i>defect</i> intrasel; <i>multi-bit scan</i> mengurangi <i>overhead routing/clock</i>
<i>Machine Learning for On-the-Fly Reliability-Aware Cell Library Characterization</i>	FinFET 14 nm CMOS	<i>Characterization timing</i> /daya <i>reliability-aware</i> untuk <i>library</i> sel	Menggunakan <i>machine learning</i> untuk mempercepat karakterisasi dan mengurangi pesimisme; membantu estimasi <i>delay/power</i> saat mempertimbangkan degradasi/reliabilitas; relevan untuk <i>library</i> yang dipakai STA dan <i>mapping</i> .
<i>Design and Evaluation of Radiation-Hardened Standard cell Flip-flops</i>	IHP 130 nm BiCMOS	<i>Flip-flop</i> rad-hard berbasis <i>standard-cell</i> untuk sistem kritis	Variasi arsitektur <i>hardened</i> (termasuk TMR dan teknik mitigasi SET) dalam gaya <i>standard-cell</i> ; mengejar keseimbangan reliabilitas vs <i>overhead</i> ; divalidasi menggunakan pengujian berbasis iradiasi pada rangkaian sekuensial.

Judul Penelitian	Teknologi	Aplikasi	Fitur Spesifik
<i>Timing-Driven Technology mapping Approximation Based on Reinforcement Learning</i>	TSMC 28 and 16 nm CMOS	<i>Technology mapping</i> yang menargetkan <i>timing</i> dengan pendekatan pembelajaran	Kerangka <i>reinforcement learning</i> untuk mapping <i>approximation</i> yang <i>timing-driven</i> ; memanfaatkan representasi berbasis graf agar keputusan <i>mapping</i> lebih peka terhadap jalur <i>timing</i> ; relevan sebagai landasan “ <i>mapping-aware</i> ” dalam alur EDA.
TeMACLE: A Technology mapping-Aware Area-Efficient Standard cell Library Extension Framework	FreePDK45 ($\approx$ 45 nm CMOS)	Ekstensi <i>standard-cell library</i> yang <i>mapping-aware</i> dan hemat area	Memperluas <i>library</i> dengan sel-sel yang membantu <i>mapping</i> lebih efisien area; pendekatan <i>cone/subcircuit</i> + pencocokan ekuivalensi; menegaskan bahwa kualitas <i>mapping</i> sangat dipengaruhi “kekayaan” opsi sel di <i>library</i> .
<i>Design and Utilization of Multiskewed Multibit Flip-flop Cells for Timing Optimization: Design and Technology Co-Optimization Approach</i>	FinFET predictive PDK 7 nm CMOS	MBFF untuk <i>timing optimization</i> pada desain sinkron	<i>Multi-skewed</i> MBFF memberi fleksibilitas <i>skew</i> internal untuk memperbaiki WNS/TNS; alur DTCO mencakup <i>clustering</i> , <i>debanking</i> , dan diversifikasi <i>layout</i> ; menargetkan <i>timing</i> tanpa mengorbankan daya/area secara tidak terkendali.
<i>Front-End Gateway System with Serial Communication Protocol Conversion and Edge Computing Platforms</i>	TSMC 90 nm 1P9M CMOS	<i>Gateway</i> ASIC: konversi protokol serial (UART I2C) + <i>platform edge</i>	Studi kasus sistem nyata yang menempatkan UART sebagai antarmuka penting; desain <i>gateway</i> menekankan integrasi protokol dan <i>throughput</i> ; relevan sebagai konteks aplikasi UART untuk menguji dampak kualitas elemen sekuensial (FF) pada sistem.

BAB II METODE PENELITIAN

2.1 Lokasi dan Waktu Penelitian

Penelitian dilakukan di Laboratorium Elektronika dan Divais. Departemen Teknik Elektro, Fakultas Teknik, Universitas Hasanuddin. Waktu pelaksanaan penelitian berlangsung dari bulan Oktober 2025 sampai bulan Maret 2026.

Tabel 2 *Timeline* Penelitian

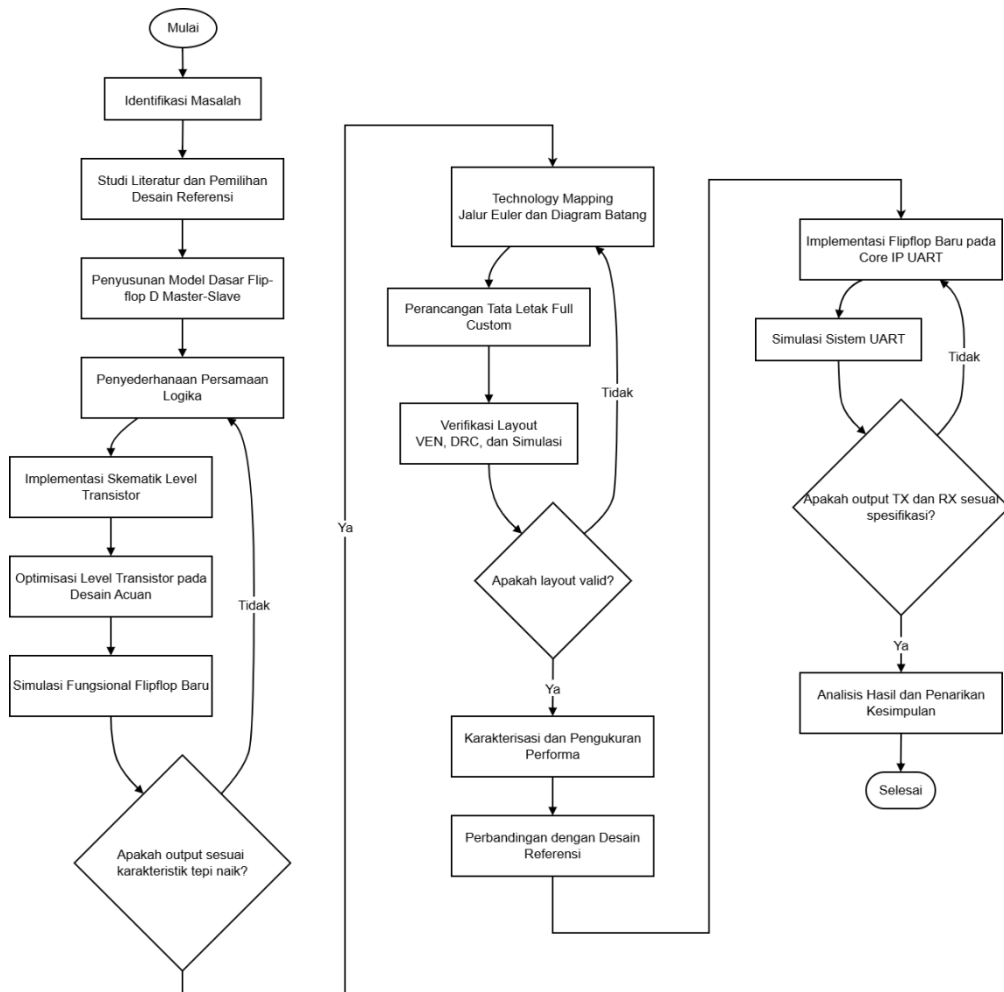
Tahapan Penelitian	Bulan					
	Oktober	November	Desember	Januari	Februari	Maret
Studi Literatur						
Perumusan Tujuan dan Masalah						
Pengumpulan data						
Analisis data						
Penyusunan Laporan						

2.2 Alat dan Bahan

Alat yang digunakan pada penelitian ini adalah DSCH 2 untuk merancang skematika pada level gerbang dan level transistor, MicroWind 2 untuk merancang layout IC. Perangkat keras yang digunakan memiliki spesifikasi prosesor Intel Core i5, RAM 20 GB, SSD 1 TB, serta sistem operasi Windows 11.

2.3 Tahapan Penelitian

Alur perancangan FFD *positive edge-trigger* dan UART (sebagai pengaplikasian), dilakukan secara bertahap dan sistematis mulai dari tahap desain gerbang logika, transistor, tata letak, DRC dan simulasi.



Gambar 1 Diagram Alir Penelitian

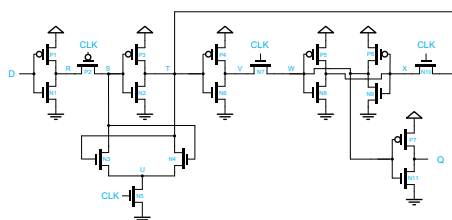
Pada desain FFD dilakukan optimasi, dimulai dari level transistor yang disederhanakan berupa pengurangan jumlah transistor, serta proses perancangan level tata letak dilakukan secara *full-custom*, agar dapat mengurangi luas area, daya dan *delay*. Gambar 1 merupakan diagram alir yang akan menjelaskan tahapan-tahapan penelitian secara sistematis. Penelitian ini dilakukan melalui beberapa tahapan sistematis sebagai berikut:

2.3.1 Studi Literatur

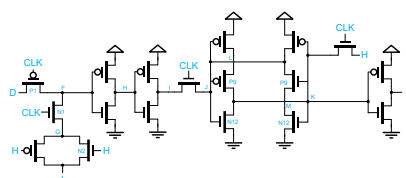
Studi literatur bertujuan untuk mengumpulkan, mempelajari dan memahami berbagai referensi ilmiah yang berkaitan dengan optimasi FFD, pengaplikasian FFD, serta desain *layout full-custom*. Studi ini dilakukan melalui buku, jurnal nasional dan internasional, artikel daring, serta dokumen teknis lainnya guna membangun landasan teori yang kuat dalam pelaksanaan penelitian.

2.3.2 Pengumpulan dan Perbandingan Data

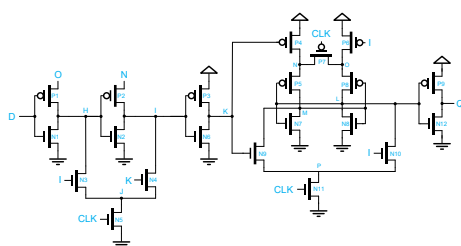
Data yang digunakan dalam penelitian ini berupa jenis rangkaian level transistor, data ini diperoleh dari beberapa jurnal IEEE, dimana dalam jurnal tersebut membahas tentang optimasi FFD terkait daya, kecepatan dan luas area. Data tersebut kemudian dibandingkan serta dilakukan pengujian agar dapat memastikan rangkaian tersebut dapat berfungsi pada *software* yang digunakan, serta memiliki *delay*, luas area dan daya yang paling sedikit. Berikut skematik level transistor yang dapat berfungsi pada *software* yang digunakan, serta memiliki *delay*, luas area dan daya yang rendah:



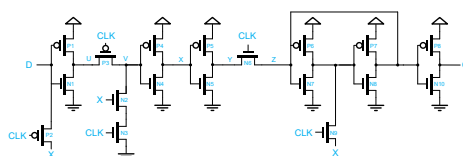
a) ADTFF (*Adaptive Data Track Flip-flop*)



b) PFC (*Proposed Flip-flop Circuit*)



c) TCFF (*Topologically Compressed Flip-flop*)



d) HFF (*Hybrid Flip-flop*)

Gambar 2 Referensi Desain (Krishna & Lorenzo, 2024).

Skematik tersebut akan digunakan sebagai referensi untuk pembuatan FFD baru yang memiliki *delay*, daya dan luas area yang lebih rendah.

2.3.3 Perancangan *Standard Cell* Menggunakan *Technology mapping*

Perancangan standar *cell* menggunakan *technology mapping* merupakan perancangan tahap skematik level gerbang dan level transistor, hingga level tata letak. Perancangan ini diawali dengan pembuatan skematik level gerbang menggunakan gerbang-gerbang logika standar (*standard cell*) sebagai acuan untuk kebenaran hasil dari tahap selanjutnya, rancangan ini melibatkan penggunaan gerbang logika seperti NOT, NAND, AND, NOR, OR dan XOR. Pada tahap ini dilakukan pengujian berupa simulasi skematik untuk memverifikasi *output* yang didapatkan.

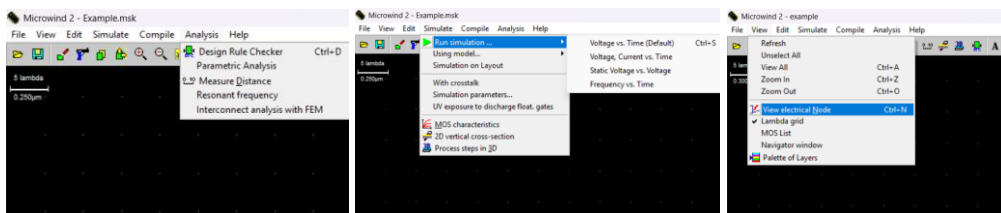
Berdasarkan skematika level gerbang, kemudian dilanjutkan dengan merangkai level transistor CMOS, yang di susun berdasarkan skematika level gerbang, tahap ini

merupakan salah satu langkah awal optimasi, dimana pada skematika level transistor dilakukan pengurangan jumlah transistor, hal ini dilakukan agar memperkecil area tata letak, mengurangi penggunaan daya dan *delay* pada *output*. Langkah selanjutnya adalah membuat jalur Euler, dimana jalur Euler ini berfungsi untuk menentukan *node-node* pada rangkaian yang menghubungkan satu transistor dengan transistor lainnya dan juga mencegah adanya jalur yang berulang sehingga dapat terjadi kesalahan pada langkah perancangan selanjutnya. Jalur Euler ini sangat penting dalam hal perancangan tata letak secara *full-custom*. Setelah pembuatan jalur Euler maka dilanjutkan dengan pembuatan diagram batang. Diagram batang merupakan proses penentuan jalur pada skematik level transistor, ini adalah salah satu langkah agar dapat mendesain tata letak secara akurat. *Node-node* atau sambungan pada diagram batang selalu mengacu pada jalur Euler.

Setelah pembuatan diagram batang, dilanjutkan dengan perancangan tata letak *full-custom*. Hal bertujuan agar dapat memperkecil area, dengan cara meminimalkan lebar tata letak dan memperpendek jalur metal, agar dapat mengurangi *delay* dan daya yang digunakan. Pada tahap ini diterapkan teknologi fabrikasi 90 nm, dimana pada teknologi ini 1λ sama dengan $0,05\mu m$. Selain teknologi fabrikasi ditetapkan pula ukuran PMOS sebesar 28λ atau setara dengan $1,4\mu m$ dan NMOS sebesar 14λ setara dengan $0,7\mu m$.

2.3.4 Design Rules Check (DRC), View Electrical Node (VEN) dan Simulasi

Pemeriksaan Aturan Desain (DRC - *Design Rule Check*), (VEN - *View Electrical Node*) dan simulasi adalah komponen penting dalam proses desain sirkuit elektronik, khususnya dalam desain *chip* atau perangkat semikonduktor. Keduanya berfungsi untuk memastikan bahwa desain yang diajukan sesuai dengan spesifikasi teknis dan tidak akan mengalami masalah saat fabrikasi.



Gambar 3 Fitur DRC, VEN dan Simulasi pada Microwind

Fitur DRC dilakukan pada saat perancangan tata letak, dapat dilihat pada Gambar 3 fitur DRC, VEN dan simulasi, terdapat pada *software* microwind, fitur ini memastikan agar komponen yang digunakan pada perancangan tata letak sesuai dengan aturan yang berlaku. Setelah DRC memastikan tidak ada kesalahan dalam tata letak, maka dilanjutkan dengan pengecekan *node* atau jalur yang saling terhubung dengan menggunakan fitur VEN, hal ini bertujuan untuk memeriksa agar jalur terhubung sebagaimana mestinya sesuai dengan rangkaian yang dibuat, setelah itu dilanjutkan dengan simulasi. Simulasi adalah proses penting untuk memverifikasi fungsi sirkuit

dengan membandingkan hasil masukan-keluaran dari tata letak yang diekstraksi dengan hasil yang diharapkan yang diperoleh dari desain rangkaian. Proses ini memastikan bahwa perilaku sirkuit sesuai dengan spesifikasi desain.

2.3.5 Perancangan UART

Desain UART ditujukan untuk menjadi pengaplikasian FFD *positive edge-trigger*. UART (*Universal Asynchronous Receiver-Transmitter*) adalah salah satu jenis protokol komunikasi serial yang digunakan untuk mentransmisikan data antar perangkat dengan menggunakan dua jalur utama yaitu pengiriman data (TX) dan penerimaan data (RX).

2.3.6 Analisis dan Perbandingan Hasil

Proses analisis dan perbandingan hasil akan diterapkan pada desain FFD yang diperoleh dari proses pengumpulan dan perbandingan data terhadap FFD yang baru.

2.3.7 Kesimpulan

Kesimpulan ditarik berdasarkan hasil analisis dan evaluasi, dengan mengaitkan hasil simulasi dengan garis besar tujuan utama penelitian, yaitu optimasi FFD dengan memperkecil area, mengurangi *delay* dan konsumsi daya, serta pengaplikasiannya pada UART. Hasil ini menjadi dasar rekomendasi dalam pengembangan FFD di masa mendatang.